

CERTIFICATE OF MAILING BY FIRST CLASS MAIL (37 CFR 1.8)

Applicant(s): Tomoko AOKI et al.

Docket No.

2003JP316

Serial No.
10/564,336Filing Date
January 11, 2006Examiner
To Be AssignedGroup Art Unit
To Be Assigned

Invention: **PHOSPHORUS-CONTAINING SILAZANE COMPOSITION, PHOSPHORUS-CONTAINING SILICEOUS FILM, PHOSPHORUS-CONTAINING SILICEOUS FILLER, METHOD FOR PRODUCING PHOSPHORUS-CONTAINING SILICEOUS FILM, AND SEMICONDUCTOR DEVICE**

I hereby certify that this JP 2001-319927 - 14 Pages*(Identify type of correspondence)*is being deposited with the United States Postal Service as first class mail in an envelope addressed to: The Commissioner of Patents and Trademarks, Washington, D.C. 20231-0001 on June 21, 2006*(Date)***MARIA T. SANCHEZ***(Typed or Printed Name of Person Mailing Correspondence)**(Signature of Person Mailing Correspondence)*

Note: Each paper must have its own certificate of mailing.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-319927

(P2001-319927A)

(43)公開日 平成13年11月16日 (2001.11.16)

(51)Int.Cl.⁷
H 01 L 21/316

識別記号

F I
H 01 L 21/316

マークト[®](参考)

21/768
21/8234
27/088

21/90
27/08
102 C

G
P
Q
K

審査請求 未請求 請求項の数37 OL (全14頁) 最終頁に続く

(21)出願番号 特願2001-26024(P2001-26024)

(71)出願人 390019839

三星電子株式会社

(22)出願日 平成13年2月1日 (2001.2.1)

大韓民国京畿道水原市八達区梅園洞416

(31)優先権主張番号 2000P23448

(72)発明者 李 穎浩

(32)優先日 平成12年5月2日 (2000.5.2)

大韓民国京畿道水原市八達区靈通洞新ナム

(33)優先権主張国 韓国 (KR)

シル住公アパート506棟904号

(72)発明者 崔 晶植

大韓民国京畿道城南市盆唐区九美洞20金星

白島ヴィラ204棟104号

(74)代理人 100093779

弁理士 服部 雅紀

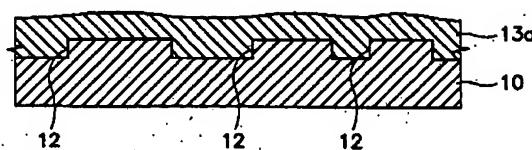
最終頁に続く

(54)【発明の名称】 スピンオンガラス組成物及びこれを用いた半導体装置のシリコン酸化膜の形成方法

(57)【要約】

【課題】 スピンオンガラス組成物およびこれを用いた半導体装置のシリコン酸化膜の形成方法を提供する。

【解決手段】 スピンオンガラスを利用して、アスペクト比が高くVLSI級の配線層間のギャップを埋立することができCVD酸化膜と実質的に同一な特性を有する半導体装置のシリコン酸化膜の形成方法である。上面にトレンチ12が形成された基板10の上に構造式が-
(SiH₂NH)_n- (式中、nは正の整数である)であり重量平均分子量が4000から8000であり重量平均分子量および数平均分子量の分子量分布が3.0から4.0であるポリシラザンを含むSOG溶液を塗布して、平坦な第1SOG膜を形成する。第1SOG膜を水蒸気雰囲気で硬化して、平坦な表面を有する第1シリコン酸化膜13aを形成する。



【特許請求の範囲】

【請求項1】 半導体製造工程中のシリコン酸化膜の形成に利用されるスピノンガラス組成物であって、構造式が $-\text{SiH}_2\text{NH}_n-$ （式中nは正の整数である）であり、重量平均分子量が4000から8000であり、重量平均分子量および数平均分子量の比である分子量分布が3.0から4.0であるパハイドロポリシラザンを10から30重量%と、溶媒90から70重量%とを含むスピノンガラス組成物。

【請求項2】 前記シリコン酸化膜がトレーナーを埋立する場合、前記パハイドロポリシラザンの重量平均分子量は6000から8000であることを特徴とする請求項1に記載のスピノンガラス組成物。

【請求項3】 前記シリコン酸化膜がゲート電極を平坦化する場合、前記パハイドロポリシラザンの重量平均分子量は4000から6000であることを特徴とする請求項1に記載のスピノンガラス組成物。

【請求項4】 前記シリコン酸化膜が金属パターンを平坦化する場合、前記パハイドロポリシラザンの重量平均分子量は4500から7500であることを特徴とする請求項1に記載のスピノンガラス組成物。

【請求項5】 前記パハイドロポリシラザンの濃度は18から25重量%であり、前記溶媒は82から75重量%であることを特徴とする請求項1に記載のスピノンガラス組成物。

【請求項6】 54から420s⁻¹のせん断速度で1から10mPa·sの一定した粘度を有することを特徴とする請求項1に記載のスピノンガラス組成物。

【請求項7】 下部膜に対して約4°以下のコンタクト角を有することを特徴とする請求項1に記載のスピノンガラス組成物。

【請求項8】 ホウ素、フッ素、リン、ヒ素、炭素及び酸素から構成された一群のうちの少なくとも一つの元素を含む不純物を有することを特徴とする請求項1に記載のスピノンガラス組成物。

【請求項9】 前記溶媒は、キシレンまたはジブチルエーテルであることを特徴とする請求項1に記載のスピノンガラス組成物。

【請求項10】 上面に形成された段差部を有する半導体基板の上に構造式が $-\text{SiH}_2\text{NH}_n-$ （式中nは正の整数である）であり重量平均分子量が4000から8000であり重量平均分子量および数平均分子量の比である分子量分布が3.0から4.0であるポリシラザンを含むスピノンガラス溶液を塗布し、平坦なスピノンガラス膜を形成する段階と、前記スピノンガラス膜を硬化し、平坦な表面を有するシリコン酸化膜を形成する段階とを含むことを特徴とする半導体装置のシリコン酸化膜の形成方法。

【請求項11】 前記スピノンガラス膜を硬化してシ

リコン酸化膜を形成する段階は、100から500°Cの温度で第1期間に予備ベーリングする段階と、400から1200°Cの温度で第2期間に主ベーリングする段階とを含むことを特徴とする請求項10に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項12】 前記主ベーリングする段階では、酸素雰囲気、水蒸気雰囲気、酸素および水蒸気の混合雰囲気または窒素雰囲気のいずれかで10から180分間ベーリングを実行することを特徴とする請求項11に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項13】 前記スピノンガラス溶液は、54から420s⁻¹のせん断速度で1から10mPa·sの一一定した粘度を有することを特徴とする請求項10に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項14】 前記シリコン酸化膜の厚みは、4000から6500Åであることを特徴とする請求項10に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項15】 前記段差部は、少なくとも二つの導電性パターンによって形成されることを特徴とする請求項10に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項16】 前記二つの導電性パターンの間の距離は、0.04から1μmであることを特徴とする請求項15に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項17】 前記段差部は、アスペクト比が5:1から10:1であることを特徴とする請求項15に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項18】 前記段差部は、アスペクト比が5:1から10:1である密着段差部と、アスペクト比が1:1以下であるグローバル段差部とを含むことを特徴とする請求項15に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項19】 前記二つの導電性パターンは、前記半導体装置のゲート電極または金属配線パターンであることを特徴とする請求項15に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項20】 前記スピノンガラス溶液を塗布する前に塗化シリコン膜を200から600Åの厚みに形成する段階をさらに含むことを特徴とする請求項10に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項21】 前記スピノンガラス溶液は、4°以下のコンタクト角を有することを特徴とする請求項20に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項22】 前記スピノンガラス溶液は、ホウ素、フッ素、リン、ヒ素、炭素及び酸素から構成された一群のうちの少なくとも一つの元素を含む不純物を有することを特徴とする請求項10に記載の半導体装置のシリコン酸化膜の製造方法。

【請求項23】 前記段差部の形成は前記半導体基板の上部を部分的にエッチングしてトレーナーを形成する段階を含み、前記スピノンガラス膜は前記トレーナーを埋立

するように形成され、

前記スピノンガラス膜を硬化してシリコン酸化膜を形成する段階は、100から500°Cの温度で予備ベーリングする段階と、900から1000°Cの温度で主ベーリングする段階とを含むことを特徴とする請求項10に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項24】 前記スピノンガラス膜のうちのパハイドロポリシラザンの重量平均分子量は、6000から8000であることを特徴とする請求項23に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項25】 前記段差部の形成は前記半導体基板の上に複数のゲート電極を形成する段階を含み、前記スピノンガラス膜は前記ゲート電極を完全に覆うように形成され、

前記スピノンガラス膜を硬化してシリコン酸化膜を形成する段階は、100から500°Cの温度で予備ベーリングする段階と、600から900°Cの温度で主ベーリングする段階とを含むことを特徴とする請求項10に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項26】 前記スピノンガラス膜のうちのパハイドロポリシラザンの重量平均分子量は、4000から6000であることを特徴とする請求項25に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項27】 前記段差部の形成は絶縁膜の上に複数の金属配線のパターンを形成する段階を含み、前記スピノンガラス膜は前記金属配線のパターンを完全に覆うように形成され、

前記スピノンガラス膜を硬化してシリコン酸化膜を形成する段階は、100から500°Cの温度で予備ベーリングする段階と、400から450°Cの温度で主ベーリングする段階とを含むことを特徴とする請求項10に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項28】 前記スピノンガラス膜のうちのパハイドロポリシラザンの重量平均分子量は、4500から7500であることを特徴とする請求項27に記載の半導体装置のシリコン酸化膜の形成方法。

【請求項29】 ポリシング工程を実行しない少なくとも一つの平坦な層を備え、

前記平坦な層は、請求項1記載のスピノンガラス組成物を含むことを特徴とする半導体装置。

【請求項30】 前記シリコン酸化膜がトレンチを埋立する場合、前記パハイドロポリシラザンの重量平均分子量は6000から8000であることを特徴とする請求項29に記載の半導体装置。

【請求項31】 前記シリコン酸化膜がゲート電極を平坦化する場合、前記パハイドロポリシラザンの重量平均分子量は4000から6000であることを特徴とする請求項29に記載の半導体装置。

【請求項32】 前記シリコン酸化膜が金属パターンを平坦化する場合、前記パハイドロポリシラザンの重量平

均分子量は4500から7500であることを特徴とする請求項29に記載の半導体装置。

【請求項33】 前記溶媒は、キシレンまたはジブチルエーテルであることを特徴とする請求項29に記載の半導体装置。

【請求項34】 前記パハイドロポリシラザンの濃度は18から25重量%であり、前記溶媒は82から75重量%であることを特徴とする請求項29に記載の半導体装置。

【請求項35】 前記スピノンガラス組成物は、54から420 s⁻¹のせん断速度で1から10 MPa·sの一定の粘度を有することを特徴とする請求項29に記載の半導体装置。

【請求項36】 前記スピノンガラス組成物は、下部膜に対して約4°以下のコンタクト角を有することを特徴とする請求項29に記載の半導体装置。

【請求項37】 前記スピノンガラス組成物は、ホウ素、フッ素、リン、ヒ素、炭素及び酸素から構成された一群のうちの少なくとも一つの元素を含む不純物を有することを特徴とする請求項29に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体の製造工程でのシリコン酸化膜を形成するためのスピノンガラス（以下、「スピノンガラス」をSOG（S p i n-o n-G l a s s）と称する）組成物、これによって製造された半導体装置及びこれを用いてシリコン酸化膜を形成する方法に関するものであり、より具体的には、半導体の製造工程で絶縁膜として使用されるシリコン酸化膜を製造するためのパハイドロポリシラザンを含むスピノンガラス組成物及びこれを用いたシリコン酸化膜の形成方法に関するものである。

【0002】

【従来の技術】 近来、コンピュータのような情報媒体の急速な普及に伴って、半導体装置は飛躍的に発展している。その機能面において、半導体装置は高速に動作すると同時に大容量の貯蔵能力を有することが要求される。このような要求に応じて半導体装置は集積度、信頼性及び応答速度等を向上させる方向に製造技術が発展している。

【0003】 集積回路を製造するためには、单一基板の上に多くの活性素子を形成すべきである。最初、各素子は相互絶縁されるべきであるが、回路の特定機能を得るために、製造工程の途中で特定素子を電気的に相互接続する必要がある。MOS及びバイポーラのVLSI及びULSI装置は多くの素子の相互接続を図る多層相互接続（multilevel interconnection）構造を有する。このような相互接続構造で、層数（number of layers）が増加するに従って、最上層（top layer）の形状（top

ography) は一層屈曲化及びでこぼこ (uneven) 化される。

【0004】例えば、二つまたはそれ以上の金属層を有する半導体ウェーハを製造する場合、多数の酸化膜、多結晶シリコン導電層及び第1金属配線層が形成されている半導体ウェーハに第1層間絶縁膜を形成した後、第2金属層と電気的に接続するためのビア (via) を形成する。第1層間絶縁膜の下部構造物がでこぼこ (uneven) であるので、第1層間絶縁膜の表面は非扁平である。このような第1層間絶縁膜の上に第2金属層を直接形成する場合には、第2金属層は第1層間絶縁膜の突出部やクラックのために破壊 (fracture) され、下地絶縁膜 (underlying insulation layer) 上の金属塗布が不良になる。このような不良が半導体装置の収率を低下させ、従って、多層金属の接続構造 (multilevel metal interconnection) ではビアまたは第2金属層を形成する前に層間絶縁膜の平坦化が要求される。

【0005】層間絶縁膜の平坦化に対しては、リフローの特性が高いBPSG (Borophosphorous Silicate Glass) 膜やSOG (Spin-on-Glass) 膜を利用する方法、化学的および機械的研磨 (Chemical Mechanical Polishing; CMP) 法などの各種の方法が開発されている。

【0006】一般的に金属配線間のギャップを埋没するための層間絶縁膜の材料としては、BPSGを利用する方法が広く使用されてきた。しかし、BPSGを蒸着する工程は設備間の依存性及びチャンバ状態の依存性が強く、使用されているガスが高価であるだけでなく毒性が強く人体への危険性を内包している。

【0007】その上、現在の256メガDRAM級以上のVLSIを製造するためには、集積度が増加しデザインルールが減少するに従って、BPSGを使用して層間絶縁膜を形成し配線間のギャップを埋立する時にポイド生成によるブリッジの形成によって収率が低下し、後続工程で使用されるエッチングストップ層が損傷する。これを避けるためには、追加的なリフロー工程と高費用のCMP工程を実行する必要性がある。

【0008】これに反してSOG膜を利用した絶縁膜を形成する工程は、単純なコーティング工程に平坦な絶縁膜を形成することができる工程として広く知られている。例えば、米国特許第5,310,720号 (issued to Shin et al.) にはポリシラザン層を形成した後、ポリシラザン層を酸素雰囲気で火焼 (firing) して酸化シリコン層へ転換させる方法が開示されている。かつ、米国特許第5,976,618号 (issued to Shunichi Fukuyama et al.) には無機SOGを塗布した

後、2段階の熱処理工程を経てこれをシリコン酸化膜に転換させる方法が開示されている。

【0009】ポリシラザン系のSOGは基本骨格がSi-N、Si-H、N-H結合により構成され、酸素及び水を含む雰囲気のうちでベーリングするとSi-N結合がSi-O結合に置換される。このようなSOGを利用してシリコン膜に転換させる方法は簡単なスピニコーティング方法と硬化工程により行われ、費用が節減される長所を有している。しかし、全てのSi-N結合がSi-O結合に置換されるわけではない (日本特開平11-145286号参照)。従って、生成されるシリコン酸化膜は、従来より使用されるBPSG膜やTEOS膜等のようなシリコン酸化膜とは異なる絶縁性及び電気的特性を有しているので、層間絶縁膜に使用されることに問題点があった。

【0010】かつ、スピニコーティング方式により塗布するので、生成されるシリコン酸化膜の厚みは不充分であり、下部構造物であるゲート電極や金属配線のような導電層パターンを充分にカバーすることができなかつた。

【0011】

【発明が解決しようとする課題】従って、本発明の第1目的は、アスペクト比が高くVLSI級の配線層間のギャップを埋立することができ、機械的な平坦化方法を必要とせず基板上のギャップを埋立した表面の不連続部 (surface discontinuities) を緩慢にし、CVD酸化膜と実質的に同一な特性を有する半導体装置の酸化膜を製造するためのパハイドロシラザンを含むスピニオンガラス組成物を提供することにある。

【0012】本発明の第2目的は、上述したスピニオンガラス組成物を使用した半導体装置のシリコン酸化膜の形成方法を提供することにある。

【課題を解決するための手段】

【0013】前記の本発明の第1目的を達成するため、本発明は上面に形成された段差部を有する半導体基板上に、構造式が- $(SiH_2NH)_n$ - (式中、nは正の整数である) であり重量平均分子量が4000から8000であり重量平均分子量および数平均分子量の比である分子量分布が3.0から4.0であるパハイドロポリシラザン10から30重量%と、溶媒90から70重量%とを含むスピニオンガラス組成物を提供する。

【0014】本発明は、さらにこのスピニオンガラス組成物により製造された半導体装置を提供する。

【0015】上述した本発明の第2目的を達成するため、本発明は上面に形成された段差部または表面不連続部 (surface discontinuities) を有する半導体基板の上に、構造式が- $(SiH_2NH)_n$ - (式中、nは正の整数である) であり重量平均分子量が4000から8000であり重量平均分子量お

より数平均分子量の比である分子量分布が3.0から4.0であるポリシラザンを含むSOG溶液を塗布して平坦なSOG膜を形成する段階と、SOG膜を硬化して平坦な表面を有するシリコン酸化膜を形成する段階とで構成された半導体装置のシリコン酸化膜の形成方法を提供する。本発明はさらに前記の方法により製造された半導体装置を提供する。

【0016】本発明によると、SOGを利用して約5:1から10:1程度のアスペクト比を有する導電層パターン部位または異なる表面不連続部を完全に覆いながら、平坦化されボイドがないシリコン酸化膜を形成することができる。

【0017】

【発明の実施の形態】前記の説明で、ある物質、層または構造物が異なる物質、構造物、または層上にまたは上部に(*on or over another material, structure, or layer*)形成されているときは、他の層、物質または構造物を挿入し形成することができる。

【0018】本発明によるスピンドルガラス組成物は、構造式が $-(SiH_2NH)_n-$ (式中、nは正の整数である)であり、重量平均分子量が4000から8000であり、重量平均分子量および数平均分子量の比である分子量分布が3.0から4.0であるパハイドロポリシラザンを含む。

【0019】ポリシラザンの製造方法は公知である。代表的な方法としてはハロシランとルイス塩基を反応させ、収得した複合体(*complex compound*)をアンモニアと反応させて製造することができる。

【0020】それ以外にも、 $SiCL_4$ または SiH_2CL_2 のようなシリコンハライドとアミンを反応させてポリシラザンを合成する方法、シラザンをアルカリ金属ハライド触媒を使用してポリシラザンに転換する方法、転移金属複合触媒(*transition metal complex compound*)を使用してアミン化合物とシラン化合物を脱水素(*dehydrogenation*)させる方法などが公知である。

【0021】また、米国特許第5,494,978号(*issued to Yasuo Shimizu et al.*)には数平均分子量が100から100000である無機ポリシラザンを利用して変性されたポリシラザンを製造する方法が開示されている。

【0022】米国特許第5,905,130号(*issued to Hirohiko Nakahara et al.*)にはポリアミノシラン化合物とポリハイドロゲン化された窒素含有化合物(*polyhydrogenated nitrogen-containing compound*)を塩基触媒の下で反応させ、ポリハイドロゲン化シリコン化合物(*polyhydrogenated silicon compound*)

とポリハイドロゲン化窒素含有化合物を塩基性の固体の酸化物触媒(*basic solid oxide catalyst*)の存在下で反応させてポリシラザンを製造する方法が開示されている。

【0023】米国特許第5,436,398号(*issued to Yasuo Shimizu et al.*)にも数平均分子量が1120であるパハイドロポリシラザンの製造例が開示されている。

【0024】米国特許第4,937,304号(*issued to Ayama et al.*)及び第4,950,381号(*issued to Takeuchi et al.*)には所望の分子量を有するポリシラザンの製造方法が開示されている。

【0025】本発明で使用されるポリシラザンの製造方法には特別な制限はない。上述した方法によりポリシラザンは容易に製造することができる。

【0026】上述した公知の方法により製造されたパハイドロポリシラザンを本発明に使用可能であるように、分子量に従う分別法(*fractionation*)を利用し分類して使用する。

【0027】本発明で使用されるポリシラザンの重量平均分子量が4000より少ないと、小さい分子量によりガス抜け(*outgassing*)が増加し、酸化シリコンにあまりにも速く転換してクラックが発生し易く望ましくなく、8000を超過すると、SOG溶液の粘度が増加してコーティング時に生成されるSOG膜の均一性(*uniformity*)が下がって望ましくない。従って、パハイドロポリシラザンの分子量は4000から8000である。より具体的には、トレンチ(ギャップ)を埋立するためにSOG層を形成する場合、パハイドロポリシラザンの重量平均分子量は6000~8000、望ましくは6500~7000であり、ゲート電極を平坦化するためにSOG層を形成する場合、パハイドロポリシラザンの重量平均分子量は4000~6000、望ましくは4500から5000であり、金属パターンを平坦化するためにSOG層を形成する場合、パハイドロポリシラザンの重量平均分子量は4500~7000である。

【0028】かつ、重量平均分子量と数平均分子量の比であるポリシラザンの分子量分布が3.0より小さく、ポリシラザンを分類する時の効率性が下がって製造収率(*Yield*)が低いので望ましくなく、4.0を超えると、酸化シリコンの転換が不均一であって望ましくない。従って、ポリシラザンの分子量分布は3.0から4.0であることが望ましい。しかし、この範囲を外れる場合も組成物は条件に従って適切に使用することができる。

【0029】上述したポリシラザンを有機溶媒に溶解させてSOG溶液を製造する。本発明で使用することができる溶媒としては有機溶媒または他の溶媒が使用可能で

あり、特別な制限はない。望ましくは、キシレンのような芳香族系の溶媒、ジブチルエーテルのようなエーテルなどを使用することができる。ポリシラザンは濃度が30重量%より大きければ、ポリシラザンの不安定性が増加し、寿命(life time)が減少するだけでなくクラックが発生して望ましくなく、10重量%より小さいと、SOG膜の厚み調節が容易でないので望ましくない。従って、ポリシラザンの濃度は10から30重量%、正しくは18から25重量%である。かつ、SOG溶液中の溶媒の量は組成物全体の重量を基準にして70から90重量%、望ましくは75から82重量%である。

【0030】ポリシラザンを含むSOG溶液は下部(underlying)膜例えばシリコン窒化膜に対して4°以下のコンタクト角を有することが望ましい。コンタクト角が4°より大きければ、下部膜との付着力(adhesion)が悪いので望ましくない。

【0031】コーティング及び硬化工程で表面の均一性を達成するために、SOG溶液は一定したせん断速度で1から10mPa·s、望ましくは1から8mPa·sの一定した粘度を有する。図1はせん断速度の変化に伴うSOG溶液の粘度変化を示したグラフである。図1のグラフで縦軸は粘度(単位:mPa·s)を示し、横軸はせん断速度(s⁻¹)を示す。図1から分かるように、本発明によるSOG溶液は54から420(s⁻¹)のせん断速度で1から10mPa·sの一定の粘度を有する。かつ、図1から、本発明によるSOG溶液は10から1000(s⁻¹)のせん断速度で1から10mPa·sの一定の粘度を有する。

【0032】SOG溶液は必要によっては、ホウ素、フッ素、リン、ヒ素、炭素、酸素などのような元素を含む化合物を不純物として少なくとも一つ含むことができる。このような不純物のうちで、ホウ素、フッ素、リン、ヒ素のような元素をSOG溶液に添加する場合には、SOG溶液から生成されるシリコン酸化膜が不純物を含むことになり、従来のB SG膜、B PSG膜、PSG膜と類似な特性を有する膜に転換される。かつ、炭素や酸素のような元素を含む化合物を不純物として添加すると、シリコン酸化膜への転換速度を促進させることができる。

【0033】上面に形成された段差部のような表面の不連続部を有する半導体基板の上にSOG溶液をスピニング方法によって塗布し、平坦なSOG膜を形成する。

【0034】段差部は少なくとも二つの配線層パターンによって形成することができる。例えば、ゲート電極パターンや、ピットラインのような導電性金属配線パターン層である。二つの導電層パターン間の距離は制限がない。しかし、一般的に1μmより大きいと従来のB PSGを利用して酸化膜を形成する方法を適用することもでき、0.04μmより小さいとSOG溶液の侵れた段差

塗布性にもかかわらずボイド形成の可能性が高いのでこの方法は望ましくない。従って、0.04から1μm程度のギャップを有する導電層パターンが形成されている半導体基板の上に塗布することが望ましい。

【0035】この時、導電層パターンに形成されたギャップに対する深さの比であるアスペクト比が低い場合でも可能であるが、約5:1から10:1程度のアスペクト比を有する導電層パターン部位を塗布することができる。

【0036】一般的に、半導体基板の上には、素子の形成部位に従ってゲート電極を含むセルアレーのように導電層パターンが密集されている密集段差部(または密集され隔離されたギャップ部)と、このような導電層パターンが稀に形成される周辺回路部のようなグローバル段差部とが共存する。本発明の方法は上述したようなアスペクト比が5:1から10:1である密集段差部とアスペクト比が1:1以下であるグローバル段差部とを含むことができる。

【0037】また、段差部は半導体基板の凹凸部により形成されることができる。具体的には、STI(Shallow Trench Isolation)構造を有する隔離構造(Isolation structure)を形成するための溝と突出部により形成された段差部を有する半導体基板の上に本発明による酸化膜を形成して、STI構造の素子分離膜を形成することができる。

【0038】かつ、段差部は絶縁膜の上に形成された金属配線により形成されることができる。即ち、絶縁膜の上に形成された金属配線を絶縁させるための絶縁膜として、本発明による方法によりシリコン酸化膜を形成して層間絶縁膜として使用することもできる。

【0039】前記した方法により形成されたSOG膜を硬化し、平坦な表面を有するシリコン酸化膜に転換させる。硬化段階は予備ベーリングする段階と主ベーリングする段階に区分される。

【0040】予備ベーリングを100°C以下で行うと、有機溶媒が完全に除去されずに残るので望ましくなく、500°C以上の温度で行うと、主ベーリング工程でのポリシラザンのシリコン酸化物への転換が容易でないだけでなく、表面が急激に酸化シリコンに転換されることによりクラックが発生し、生成されるシリコン酸化膜が均一でないので望ましくない。かつ、予備ベーリングを行う時間が1分未満であれば、有機溶剤が残る可能性があって望ましくなく、5分を超えると、有機溶剤は完全に除去されるがポリシラザンを含むSOG膜の表面でシリコン酸化物への部分的な転換が誘発され、部分的にクラックが発生して望ましくない。従って、予備ベーリングは100から500°C、望ましくは100から400°Cの温度で1から5分の間、望ましくは2から3分の間行う。

【0041】主ベーリング段階は予備ベーリングに比べて高温で長時間実行する。ポリシラザン系のSOGは基本骨格のSi-N結合で構成され、酸素及び水を含む雰囲気のうちでベーリングするとSi-N結合がSi-O結合に置換されることとして知られている。従来の方法によると、一般的に全てのSi-N結合がSi-O結合に置換されない。しかし、本発明によるポリシラザンを含有するSOG溶液を使用してコーティングしSOG膜を形成した後、硬化工程を行う場合、Si-N結合がないので、CVD方法により形成されたシリコン酸化膜と実質的に同一な特性を有する酸化膜を製造することができる。

【0042】主ベーリングの温度が400°C未満である場合は硬化が充分でないので、Si-N結合が残留して酸化膜の特性に悪影響を及ぼす懸念が高く望ましくなく、主ベーリングの温度が1200°Cより高い場合は、生成されるシリコン酸化膜の平坦度が低下され、クラックが発生して望ましくない。従って、主ベーリングは400から1200°C、望ましくは400から1000°Cの温度で行う。

【0043】かつ、主ベーリング工程の実行時間が10分より小さい場合はSOG膜のシリコン酸化膜への転換が充分でないので望ましくなく、180分を超える場合は生成されるシリコン酸化膜の応力が増加して望ましくない。従って、主ベーリング工程の時間は10分から180分の間、望ましくは30分から120分の間行う。主ベーリング工程はSi-N結合をSi-O結合に転換することに適合した雰囲気である酸化性雰囲気または不活性雰囲気で実行する。例えば、酸素雰囲気、水蒸気雰囲気、酸素と水蒸気の混合雰囲気または窒素雰囲気で行なうことが望ましい。特に、水蒸気雰囲気で行なうことが望ましい。このとき、雰囲気のうちで水分は1.2から8.6重量%に維持することが望ましい。

【0044】前記した主ベーリングの段階は下部構造物に応じて下部構造物に及ぼす影響を考慮し、温度範囲を適当に変更することができる。

【0045】例えば、段差部が半導体基板の上部を部分的にエッチングして形成されたトレンチを含み、SOG膜がトレンチを埋立するように形成される場合は、硬化工程の主ベーリングは900から1000°Cの温度で行なうことが望ましい。

【0046】段差部が半導体基板の上に形成された複数のゲート電極を含み、SOG膜はゲート電極を完全に覆うように形成される場合は、硬化工程の主ベーリングは600から900°Cの温度で行なうことが望ましい。

【0047】かつ、段差部が絶縁膜の上に形成された複数の金属配線パターンを含み、SOG膜が金属配線パターンを完全に覆うように形成される場合は、硬化工程の主ベーリングは400から450°Cの温度で行なうことが望ましい。

【0048】本発明による方法によって、SOG組成物を利用して1回の工程で厚みが4000から6500Åであるシリコン酸化膜を形成することができる。かつ、SOG組成物を塗布する前に導電層パターンの上面及び側面にエッチング阻止膜として窒化シリコン膜を200から600Åの厚みに形成することもできる。

【0049】本発明のSOG組成物を使用した半導体装置の製造方法は、トレンチを埋立することや、ゲート電極及び/または金属パターンを平坦化することに使用することができる。しかし、本発明によるSOG組成物をトレンチのみ埋立し、ゲート電極及び金属パターンを平坦化することには従来のSOG組成物や他の方法を使用することができる。即ち、本発明のSOG組成物を使用して単一の半導体装置でトレンチを埋立することや、ゲート電極及び金属パターンを平坦化することができるが、必ずこれら全てに適用すべき必要はないし、これらのうちでいずれか一つのみ適用することができる。

【0050】以下、本発明の実施例を図面に基づいて詳細に叙述するが、本発明はこれにより制限されない。

【0051】〔スピノンガラス組成物の製造〕市販されているパハイドロポリシラザンを購入して分別法(fractionation)により重量の平均の分子量が4500から7000であり、分子量の分布図が3.0から4.0であるパハイドロポリシラザンを取得する。取得したパハイドロポリシラザンをキシレンに22から25重量%の濃度に溶解させてスピノンガラス組成物を製造する。取得したSOG組成物は、下部膜として窒化シリコン膜に対するコンタクト角を測定した結果、4°以下のコンタクト角を示した。

【0052】SOG組成物はせん断速度を変化させながら粘度を測定した結果、図1に示したような粘度の特性を示した。

【0053】図1はせん断速度の変化に伴うSOG溶液の粘度変化を示したグラフである。図1のグラフで縦軸は粘度(単位:mPa·s)を示し、横軸はせん断速度(s⁻¹)を示す。図1から分かるように、SOG溶液は5.4から42.0 s⁻¹のせん断速度で1から10 mPa·sの一定した粘度を示すことが分かる。

【0054】〔酸化膜の形成〕図2から図8は本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【0055】図2を参考すると、シリコン(Si)のような半導体からなるp型基板10を準備する。基板10の上部には、素子分離領域をエッチングしてトレンチ12を形成する。トレンチ12は深さ4600Åであり、幅1250Åである。

【0056】トレンチ12が形成された基板10の上に、前記のように準備した重量平均分子量が6000から8000のパハイドロポリシラザンを含むSOG溶液を6000～7000Åの厚みに塗布し、第1SOG膜

13を形成する。

【0057】図3を参照すると、第1SOG膜13に100から500°Cの温度で1分から5分間予備ベーリング工程を行った後、900から1000°Cの温度で約30分間主ベーリング工程を行って、第1シリコン酸化膜13aに転換させる。この時、雰囲気は水分を約8.6重量%含有した水蒸気の雰囲気で行う。

【0058】次に、図4を参照すると、収得した第1シリコン酸化膜13aを化学的および機械的研磨方法(CMP)により半導体基板10の上部表面が露出するまで研磨し、図示したように、トレンチ12の内部が酸化シリコン14で埋立された素子分離領域を形成する。

【0059】図5を参照すると、メモリセルを形成する領域(セル領域)の半導体基板10にn型不純物、例えばリン(P)を注入してn型半導体領域20を形成し、セルアレー領域と周辺回路領域の一部にp型不純物、例えばホウ素(B)をイオン注入してp型ウェル30を形成し、周辺回路領域の残り一部にn型不純物、例えばリン(P)をイオン注入してn型ウェル40を形成する。

【0060】次に、スレショルド電圧を調節するための不純物、例えばBF₂(フッ化ホウ素)をp型ウェル30及びn型ウェル40にイオン注入する。続いて、p型ウェル30及びn型ウェル40の角表面の部位をフッ酸系の洗浄液を使用して洗浄した後、半導体基板10を湿式酸化してp型ウェル30及びn型ウェル40の角表面の部位にゲート酸化膜16を形成する。この時、トレンチ12の内面部位の基板の一部も部分的に酸化して、ゲート酸化膜16は連続的に形成される。ゲート酸化膜16は約40~200Åの厚みを有する。

【0061】図6を参照すると、フィールド酸化膜でトレンチ12に埋立された酸化シリコン14及びゲート酸化膜16が形成された基板10の全面に、例えばP(リン)などのn型不純物にドーピングされた多結晶シリコン膜を低圧の化学気相蒸着(LPCVD)方法で蒸着して、約500~4000Åの厚みを有するポリシリコン膜を形成する。続いて、ポリシリコン膜の上に珪化タンゲステン膜とタンゲステン膜をスパッタリング方法で各々1000~2000Åの厚みを有するように沈積した後、タンゲステン膜の上に珪化シリコン膜を積層する。珪化シリコン膜は低圧の化学気相蒸着またはプラズマ増大の化学気相蒸着(PECVD)方法を利用して約500~2000Å程度の厚みを有するように形成する。

【0062】珪化シリコン膜の上にフォトレジスト膜を形成した後、マスクを使用してフォトレジスト膜を選択的に露光する。次にフォトレジスト膜を現像してゲート電極を形成するためのフォトレジストパターン22を形成する。フォトレジストパターン22をエッチングマスクに使用して珪化シリコン膜、タンゲステン膜、珪化タンゲステン膜及びポリシリコン膜を順次にエッチングして、ポリシリコンパターン24a、珪化タンゲステンパ

ターン24b、タンゲステンパターン24c及び窒化シリコンパターン24dにて構成されたゲート電極24Ga、24Gb、24Gc、24WLを形成する。それにより、図示したように、セルアレー領域にはゲート電極24Gaとワードライン24WLが形成され、周辺回路領域にも各々ゲート電極24Gb及び24Gcが形成される。

【0063】セルアレー領域に形成されるゲート電極24Ga、24WLはゲート電極間のギャップが0.4から1μmに形成され、ゲート電極24Ga、24WLのギャップに対する高さの比であるアスペクト比は5:1から10:1である密集段差部を形成している。反面、周辺回路領域に形成されるゲート電極24Gb、24Gcはゲート電極間のギャップに対する高さの比であるアスペクト比は1:1以下であるグローバル段差部を形成する。

【0064】図7を参照すると、n型ウェル20にp型不純物、例えばホウ素をイオン注入してゲート電極24Gcの両側のn型ウェル40にp型不純物領域25を形成する。かつ、p型ウェル30にn型不純物、例えばリンをイオン注入してゲート電極24Gbの両側のp型ウェル30にn型不純物領域27を形成し、ゲート電極24Gaの両側のp型ウェル20にはn型不純物領域26を形成する。

【0065】図8を参照すると、半導体基板10上に気相酸化蒸着法により窒化シリコンを蒸着させ、厚み200から600Åである窒化シリコン膜32を形成する。次に、セルアレー領域を窒化シリコン膜32はフォトレジスト膜として覆い、周辺回路の窒化シリコン膜32は異方性エッチングされて周辺回路のゲート電極24Gb、24Gcの側壁がスペーサ32aを形成する。

【0066】次に、周辺回路のn型ウェル40にp型不純物、例えばホウ素をイオン注入してp+型の不純物領域ソース、ドレーン領域を形成する。かつ、周辺回路のp型ウェル30にn型不純物、例えばヒ素(As)をイオン注入してn+型の不純物領域(ソース、ドレーン領域)を形成する。

【0067】図9を参照すると、半導体基板10上にSOG溶液を塗布して第2SOG膜50を形成する。第2SOG膜50はスピニコーティング方法により塗布される。使用されたSOG溶液のうちのパハイドロポリシリザンの重量平均分子量は4000から6000である。この時、回転速度は500から2500rpmである。SOG層50は7500から8200Åの厚みを有しながら、ゲート電極24Ga、24Gb、24Gc、24WLを完全に覆うように形成される。

【0068】次に、第2SOG膜50を100°Cから500°Cの温度で1から5分間予備ベーリングをした後、600°Cから900°Cの温度で10から180分間主ベーリングをする。ベーリングは酸素雰囲気、水蒸気雰囲

気、酸素と水蒸気の混合雰囲気または窒素雰囲気で行う。水蒸気雰囲気で行う場合、雰囲気のうちの水蒸気の含量は1.2から8.6重量%になるように維持する。

【0069】上述した硬化工程を通じて第2SOG膜50のSi-N結合はSi-O結合で置換され、シリコン酸化膜に転換される。それにより図10に示したように、この時、厚みが約1.9から2.0%程度収縮された第2シリコン酸化膜50aを取得する。

【0070】図11を参照すると、第2シリコン酸化膜50a上に通常のスパッタリング方法によりアルミニウム、タンクスチタンなどの金属を蒸着させて、厚み500Åの金属層を形成する。金属層を写真エッチングの方法によりパターニングし、幅が6600Åでありギャップが8400Åである金属層パターン52を形成する。

【0071】次に、SOG溶液をスピンドルコートィングして、金属層パターン52を完全に覆うように厚み380Åから4500Åである第3SOG膜54を形成する。このとき、第3SOG膜54のうちのパハイドロポリシラザンの重量平均分子量は4500から7500である。図12を参照すると、第3SOG膜54を100°Cから500°Cの温度で1から5分間予備ベーキングした後、400°Cから450°Cの温度で10から180分間主ベーキングする。主ベーキングは前述したように水蒸気雰囲気で行う。これにより、硬化工程を通じて第3SOG膜54のSi-N結合はSi-O結合に置換され、平坦な表面を有する第3シリコン酸化膜54aに転換される。以後、通常の半導体の製造工程を経て半導体素子を完成する。

【0072】【シリコン酸化膜の光吸収の実験】図2から図12に示した方法により酸化膜を半導体基板の上に形成した。アスペクト比が5:1から10:1であり間隔が0.04から1μmである多数の配線層を有する半導体基板の上に形成した後、配線層と半導体基板を覆うシリコン窒化膜を400Åの厚みで形成した。

【0073】本実施例で使用されるポリシラザンを含有するSOG溶液をスピンドルコートィング法により半導体基板の上にコートィングして、厚みが78.52±1.94Åである第2SOG膜を形成した。このとき、回転数は1000rpmに調節した。

【0074】第2SOG膜を150°Cの温度で3分間予備ベーキングした。予備ベーキングした後、SOG膜をFT-IRにより光吸収度を測定した。図3は予備ベーキングした後、FT-IRにより測定した光吸収度を示すグラフである。図3から分かるように、予備ベーキングした後は、所定の波長範囲でN-H、Si-H、Si-N等の結合を示す吸収ピックを示した。この時、ストレスの値をストレスゲージで測定した結果、 $3.63 \times 10^8 \text{ dyn/cm}^2$ ($3.63 \times 10^7 \text{ Pa}$) を示した。

【0075】予備ベーキングしたSOG膜を再び700

°Cの温度で30分間ベーキングしてSOG膜をシリコン酸化膜に転換させた。図4はベーキングした後、FT-IRにより測定した光吸収度を示すグラフである。図4から分かるように、ベーキングした後は、所定の波長範囲でSi-Oの結合のみを示す吸収ピックを示した。この時、ストレスの値を測定した結果 $-1.22 \times 10^8 \text{ dyn/cm}^2$ ($-1.22 \times 10^7 \text{ Pa}$) を示した。図4から、SOG膜内のSi-N結合はSi-Oの結合に全て変換されて完全なシリコン酸化膜に転換されたことが分かる。

【0076】また、上述したようなアスペクト比が5:1から10:1であり間隔が0.04から1μmである多数の配線層を有する半導体基板の上に形成されたシリコン酸化膜では、ポイドの形成は見られなかった。

【0077】【酸化シリコンのエッチング速度の測定実験】

【SOGを利用したシリコン酸化膜の形成】SOG溶液をベア(bare)ウェーハの上に塗布してSOG膜を形成した。SOG溶液はスピンドルコートィング法により塗布し、回転速度は1000rpmであった。SOG膜は7500から8200Åの厚みを有するように形成した。

【0078】次に、SOG膜50を150°Cの温度で3分間予備ベーキングした後、700°Cの温度で3分間主ベーキングした。主ベーキングは水蒸気の雰囲気下で行い、雰囲気中の水蒸気の含量は1.2から8.6重量%になるように維持した。

【0079】上述した硬化工程を通じてSOG膜内のSi-N結合はSi-O結合に置換され、シリコン酸化膜に転換された。取得したシリコン酸化膜の厚みは約6400Åであった。

【0080】【CVD方法による酸化膜の形成】ベア(bare)ウェーハ上にソースガスとしてシランガス及び酸素ガスを使用し、キャリアガスとしてアルゴンガスを使用してHDP(High Density Plasma)CVD酸化膜を形成した。形成されたCVD酸化膜の厚みは約6000Åであった。

【0081】【湿式エッチングの速度測定】本実施例による方法により製造されたシリコン酸化膜とCVD方法により製造されたCVD酸化膜に対して湿式エッチングを行った。湿式エッチングは同一なエッチング液を使用して一定の時間行い、一定の時間の間隔によりエッチングの速度を測定した。測定した結果を図15から図20にグラフとして示した。

【0082】図15は本実施例により製造された酸化膜とCVD方法により製造された酸化膜にフッ化アンモニウムを含む緩衝エッチング液(NH_4F 及びHFを蒸留水(D.I. water)で稀釀した溶液)で常温25°Cで湿式エッチングを行いながら、1分の間隔で測定したエッチング速度を示すグラフである。

【0083】図16は本実施例により製造された酸化膜とCVD方法により製造された酸化膜に稀釈のフッ酸溶液(DI:HF=100:1)を使用して常温25°Cで湿式エッティングを行いながら、1分間隔で測定したエッティング速度を示すグラフである。

【0084】図17は本実施例により製造された酸化膜とCVD方法により製造された酸化膜にNH₄OH:H₂O₂:H₂Oが0.25:1:5の比率で混合されたエッティング液を使用して70°Cで湿式エッティングを行いながら、10分間隔で測定したエッティング速度を示すグラフである。

【0085】図18は本実施例により製造された酸化膜とCVD方法により製造された酸化膜に、リン酸を使用して165°Cで湿式エッティングを行いながら、10分の間隔で測定したエッティング速度を示すグラフである。

【0086】図19は本実施例により製造された酸化膜とCVD方法により製造された酸化膜に、H₂SO₄:H₂O₂が6:1の比率で混合された溶液をエッティング液に使用して130°Cで湿式エッティングを行いながら、10分の間隔で測定したエッティング速度を示すグラフである。

【0087】図20は本実施例により製造された酸化膜とCVD方法により製造された酸化膜に、NH₄OH:H₂O₂:H₂Oが0.25:1:5の比率で混合されたエッティング液を使用して50°Cで湿式エッティングを行いながら、10分間隔で測定したエッティング速度を示すグラフである。

【0088】〔乾式エッティングの速度測定〕本実施例により製造された酸化膜とCVD方法により製造された酸化膜とが形成されているウェーハを同一なチャンバ内に導入した後、同一なエッティングガスを使用して反復的にエッティング速度を測定した。チャンバ内の圧力は30mTorr(4.0Pa)に維持し、チャンバ内の出力は1700Wであり、使用ガスとしてはC₅F₈、C₄F₈、O₂、Arを各々8sccm(Standard Cubic Centimeters per Minute)、4sccm、6sccm、500sccmの流速で導入してエッティングガスとして使用した。エッティングを20秒間隔で反復的に実行しながら、エッティング速度を測定した。測定されたエッティングの速度を図21にグラフで示した。

【0089】図15から図21に示すように、湿式エッティング及び乾式エッティング時において、本実施例によって形成されたシリコン酸化膜のエッティング速度は従来のCVD方法により形成されたシリコン酸化膜と殆ど類似なエッティング速度を示すことが分かる。従って、本実施例の方法に従ってSOG膜を使用して平坦化膜や層間絶縁膜を形成する場合は、得られた酸化膜は従来のCVD酸化膜と類似な物性を示すことが分かる。

【0090】かつ、本発明者の反復的な実験によると、

本実施例によるスピノンガラス組成物を使用すると、アスペクト比が5:1から10:1であり間隔が0.04から1μmである配線層を有する半導体基板の上にボイドがないシリコン酸化膜を形成することができる。

【0091】

【発明の効果】本発明によると、SOGを利用して、256メガ級から要求される平坦度を有しながらボイドを形成しないシリコン酸化膜を形成することができる。上述したように本発明は、記載された実施例しか詳細に説明されていないが、本発明の技術思想の範囲内で多様な変形及び修正が可能であることは当業者において明白のことであり、このような変形及び修正が添付された特許請求の範囲に属することは当然のことである。

【図面の簡単な説明】

【図1】本発明の一実施例によるSOG溶液のせん断速度の変化に従う粘度変化を示すグラフである。

【図2】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図3】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図4】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図5】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図6】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図7】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図8】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図9】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図10】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図11】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図12】本発明の一実施例による半導体装置のシリコン酸化膜の形成方法を示すための断面図である。

【図13】本発明の一実施例によるSOG膜を予備ベーリングした後、測定した光吸収度を示すFT-IRチャートである。

【図14】本発明の一実施例によるSOG膜をベーリングした後、測定した光吸収度を示すFT-IRチャートである。

【図15】本発明の一実施例によるシリコン酸化膜と従来のCVD方法により製造されたシリコン酸化膜とのエッティング速度を比較したグラフである。

【図16】本発明の一実施例によるシリコン酸化膜と従来のCVD方法により製造されたシリコン酸化膜とのエッティング速度を比較したグラフである。

【図17】本発明の一実施例によるシリコン酸化膜と従来のCVD方法により製造されたシリコン酸化膜とのエッチング速度を比較したグラフである。

【図18】本発明の一実施例によるシリコン酸化膜と従来のCVD方法により製造されたシリコン酸化膜とのエッチング速度を比較したグラフである。

【図19】本発明の一実施例によるシリコン酸化膜と従来のCVD方法により製造されたシリコン酸化膜とのエッチング速度を比較したグラフである。

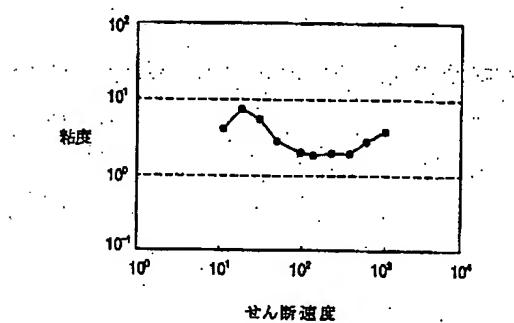
【図20】本発明の一実施例によるシリコン酸化膜と従来のCVD方法により製造されたシリコン酸化膜とのエッチング速度を比較したグラフである。

【図21】本発明の一実施例によるシリコン酸化膜と従来のCVD方法により製造されたシリコン酸化膜とのエッチング速度を比較したグラフである。

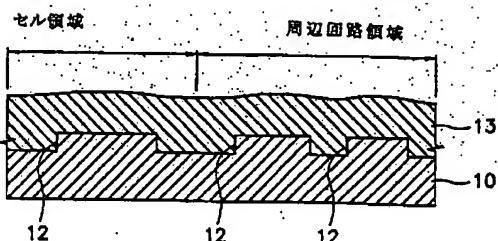
【符号の説明】

- 10 基板
- 12 トレンチ
- 13 第1SOG膜
- 13a 第1シリコン酸化膜
- 14 シリコン酸化膜
- 16 ゲート酸化膜
- 22 フォトレジストパターン
- 24a ポリシリコンパターン
- 24d シリコンパターン
- 30 p型ウェル
- 24Ga, 24Gb, 24Gc, 24WL ゲート電極
- 40 n型ウェル
- 50 第2SOG膜

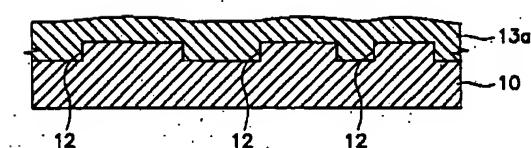
【図1】



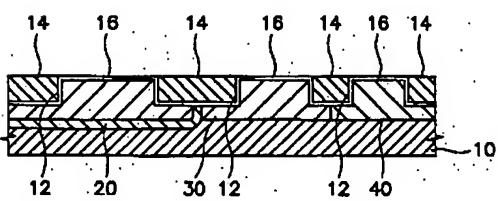
【図2】



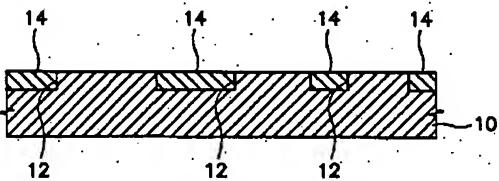
【図3】



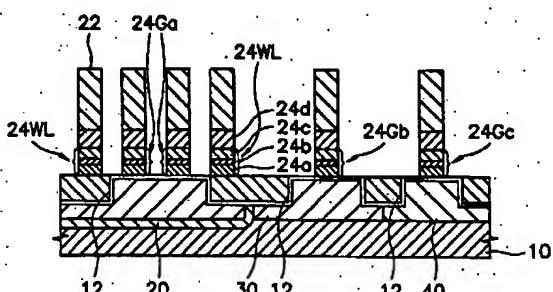
【図5】



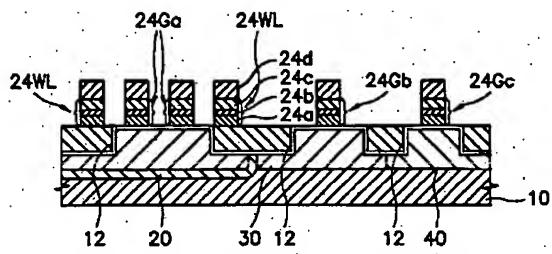
【図4】



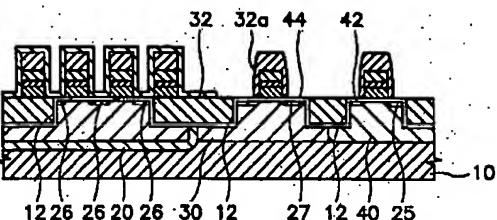
【図6】



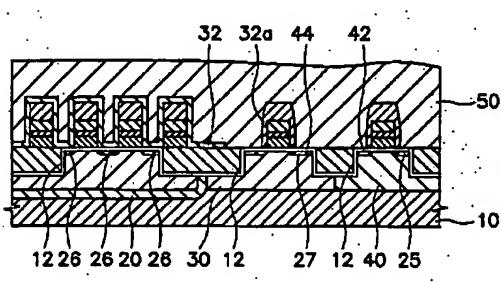
【図7】



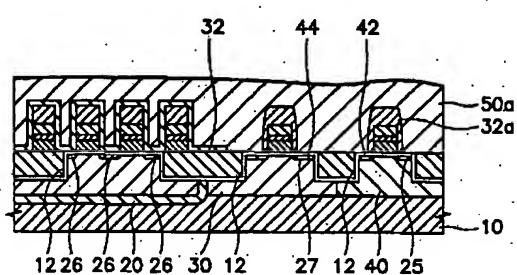
【図8】



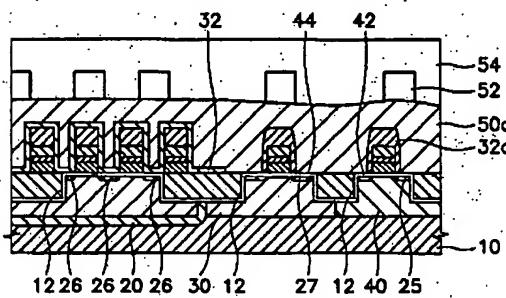
【図9】



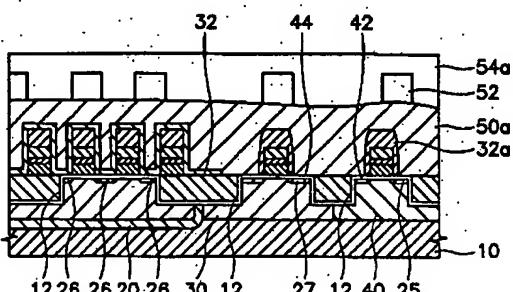
【図10】



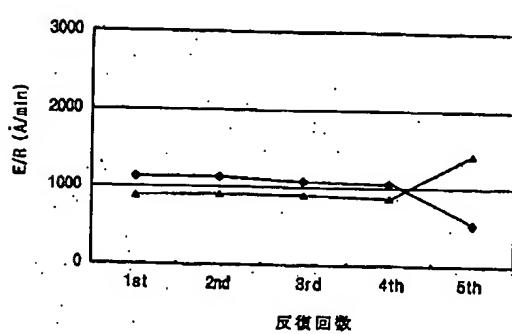
【図11】



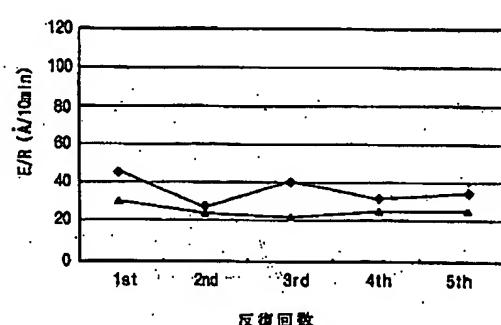
【図12】



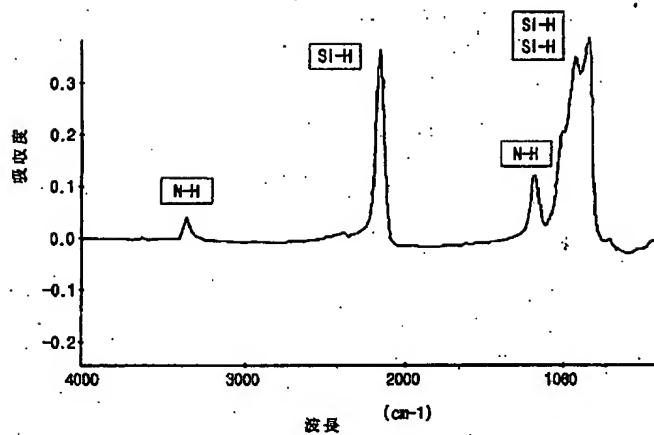
【図15】



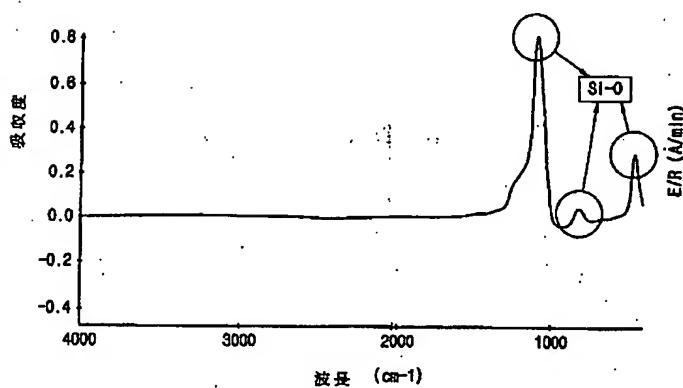
【図17】



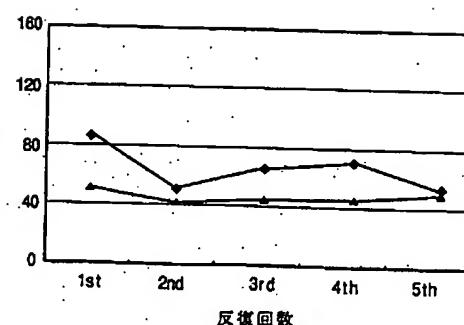
【図13】



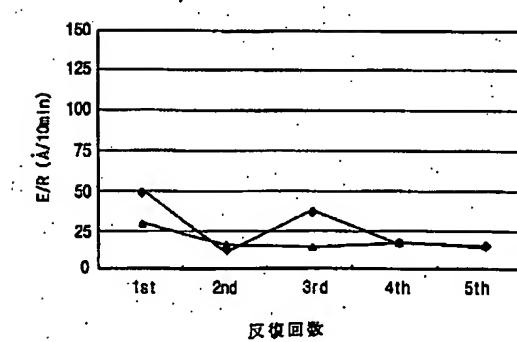
【図14】



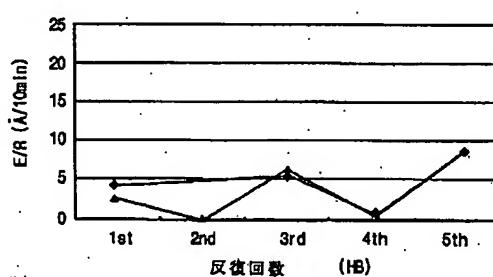
【図16】



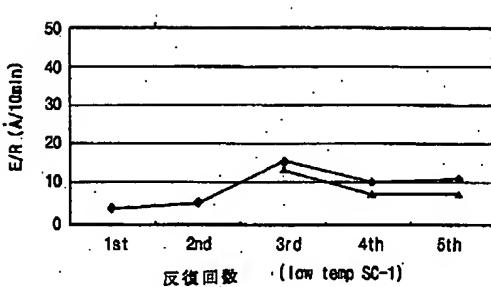
【図18】



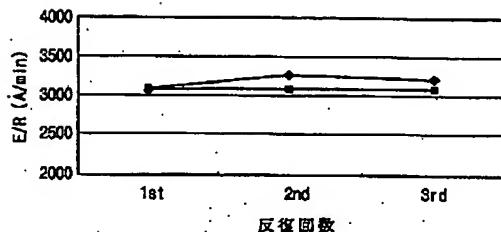
【図19】



【図20】



【図21】



フロントページの続き

(51) Int.Cl.7
// H01L 27/108
21/8242

識別記号

F I
H01L 27/10

コード(参考)

681Z

(72)発明者 金 弘基
大韓民国ソウル市城北区石棺洞斗山アパート118棟1903号

(72)発明者 李 東峻
大韓民国京畿道龍仁市樹脂邑ハンジョンアパート106棟404号

(72)発明者 姜 大源
大韓民国ソウル市冠岳区新林洞409-260